



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08314793 A**(43) Date of publication of application: **29.11.96**

(51) Int. Cl.

**G06F 12/02**  
**G06F 13/362**  
**G06T 1/60**

(21) Application number: **07320179**(22) Date of filing: **08.12.95**(30) Priority: **13.03.95 JP 07 52610**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **MIYAWAKI KATSUKI**  
**OTOBE YUKIO**  
**KAZUI KIMIHIKO**  
**MIYASAKA HIDEKI**  
**UENO YASUNORI**  
**MARUYAMA KOJI**

(54) **MEMORY ACCESS CONTROL METHOD AND  
 SEMICONDUCTOR INTEGRATED CIRCUIT AND  
 IMAGE DECODING DEVICE USING THIS  
 METHOD**

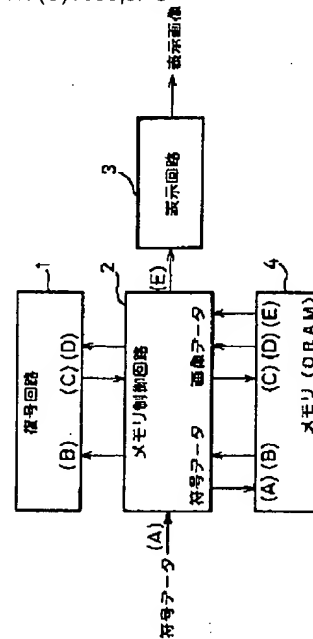
Thus, concentration to specific memory access, the occurrence of a term of invalidation, etc., are prevented.

COPYRIGHT: (C)1996,JPO

(57) Abstract:

**PURPOSE:** To constitute an image decoding device with a minimum memory capacity by properly changing the priorities of plural memory access requests in accordance with then state and performing arbitration or the like of memory access in accordance with these priorities to eliminate an unnecessary capacity due to memory division.

**CONSTITUTION:** This image decoding device decodes code data obtained by image compression to obtain the image data and is provided with a processing circuit 1, which processes data in a first form to data in a second form, and a memory 4 where both of data in the first form and data in the second form are stored in a time-division manner. A memory control circuit 2 changes priorities of memory access requests for data in the first form and data in the second form in accordance with then state and arbitrates and schedules the memory access in accordance with these changed priorities.



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-314793

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 12/02	5 5 0		G 0 6 F 12/02	5 5 0 A
	13/362	5 1 0	13/362	5 1 0 E
G 0 6 T 1/60		9172-5E	15/64	4 5 0 F

審査請求 未請求 請求項の数25 O L (全 16 頁)

(21) 出願番号 特願平7-320179

(22) 出願日 平成7年(1995)12月8日

(31) 優先権主張番号 特願平7-52610

(32) 優先日 平7(1995)3月13日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 宮脇 克樹

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 乙部 幸男

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

最終頁に続く

(54) 【発明の名称】 メモリアクセス制御方法および該方法を適用した半導体集積回路および画像復号装置

(57) 【要約】

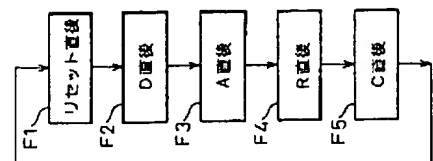
【課題】 メモリアクセス制御方法および該方法を適用した半導体集積回路および画像復号装置に関し、バッファメモリの容量やメモリバス幅といった回路規模の増大および動作周波数の高速化を抑えて、効率の良いメモリシステムを実現することを目的とする。

【解決手段】 メモリに対する複数のアクセスを、該各アクセスの優先順位をその時の状態に応じて変更し、該変更された優先順位に応じてメモリアクセスの調停およびスケジューリングを行って、特定のメモリアクセスへの集中や無効期間の発生等を防止するように構成する。

図7のメモリアクセス調停回路により各処理状態において変更される優先順位的具体例を説明するための図

U	C	A	R	C
^	^	^	^	^
R	R	D	A	R
^	^	^	^	^
A	A	C	D	A
^	^	^	^	^
D	※D	R	C	D
^	^	^	^	^
E	E	E	E	E
^	^	^	^	^
B	B	B	B	B

優先順位 高い ↓ 低い



## 【特許請求の範囲】

【請求項1】 メモリに対する複数のアクセスを、該各アクセスの優先順位をその時の状態に応じて変更し、該変更された優先順位に応じてメモリアccessの調停およびスケジューリングを行って、特定のメモリアccessへの集中や無効期間の発生等を防止するようにしたことを特徴とするメモリアccess制御方法。

【請求項2】 前記メモリはリフレッシュ処理が要求される記憶装置であり、該揮発性半導体記憶装置は異なる形式のデータにより時分割的に共有され、該各形式のデータの書き込みおよび読み出し処理と前記リフレッシュ処理とにおけるメモリアccessの調停およびスケジューリングを行うことを特徴とする請求項1のメモリアccess制御方法。

【請求項3】 前記異なる形式のデータは、画像圧縮された符号データおよび該符号データを復号した画像データであり、前記記憶装置に対するアクセスは、符号データの書き込み処理、符号データの読み出し処理、復号画像の書き込み処理、参照画像の読み出し処理、表示画像の読み出し処理、および、記憶装置のリフレッシュ処理を備えていることを特徴とする請求項2のメモリアccess制御方法。

【請求項4】 前記記憶装置のリフレッシュ処理および前記符号データの書き込み処理等のアクセス周期に余裕のあるメモリアccessを、前記参照画像の読み出し処理および前記復号画像の書き込み処理の間で実行するようにしたことを特徴とする請求項3のメモリアccess制御方法。

【請求項5】 前記符号データの読み出し処理の優先順位を一番高く設定して、高い読み出し速度を達成するようにしたことを特徴とする請求項3のメモリアccess制御方法。

【請求項6】 前記符号データの読み出し処理を、前記参照画像の読み出し処理および前記復号画像の書き込み処理よりも優先して符号データの読み出し速度を向上させるようにしたことを特徴とする請求項3のメモリアccess制御方法。

【請求項7】 リセット直後、参照画像の読み出し処理の直後、或いは、復号画像の書き込み処理の直後においては、符号データの読み出し処理>表示画像の読み出し処理>参照画像の読み出し処理>符号データの書き込み処理>メモリのリフレッシュ処理>復号画像の書き込み処理となるようにメモリアccessの優先順位を設定したことを特徴とする請求項3のメモリアccess制御方法。

【請求項8】 符号データの書き込み処理の直後においては、符号データの読み出し処理>表示画像の読み出し処理>メモリのリフレッシュ処理>復号画像の書き込み処理>参照画像の読み出し処理>符号データの書き込み処理となるようにメモリアccessの優先順位を設定したことを特徴とする請求項3のメモリアccess制御方法。

【請求項9】 メモリのリフレッシュ処理の直後においては、符号データの読み出し処理>表示画像の読み出し処理>復号画像の書き込み処理>参照画像の読み出し処理>符号データの書き込み処理>メモリのリフレッシュ処理となるようにメモリアccessの優先順位を設定したことを特徴とする請求項3のメモリアccess制御方法。

【請求項10】 前記符号データおよび前記画像データのメモリアccessは、各メモリアccessを処理単位毎に区切り、必要なデータ量だけをアクセスする可変長のアクセス制御として行われるようになっていたことを特徴とする請求項1のメモリアccess制御方法。

【請求項11】 前記メモリに対する各アクセスの優先順位は、直前に行われたメモリアccessの内容に応じて変更されるようになっていたことを特徴とする請求項1のメモリアccess制御方法。

【請求項12】 画像圧縮された符号データを復号して画像データを得る画像復号装置であって、第1の形式のデータを処理して第2の形式のデータを得るデータ処理回路と、

前記第1の形式のデータおよび前記第2の形式のデータの両方を記憶するメモリと、

前記第1の形式のデータおよび前記第2の形式のデータによるメモリアccess要求の優先順位を可変し、該可変された優先順位に応じてメモリアccessの調停およびスケジューリングを行うメモリ制御回路とを具備することを特徴とする画像復号装置。

【請求項13】 前記メモリはリフレッシュ処理が要求される記憶装置であり、前記第1の形式のデータは画像圧縮された符号データであり、前記第2の形式のデータは該符号データを復号した画像データであり、そして、前記データ処理回路は該画像圧縮された符号データを復号して該画像データを得る復号回路であることを特徴とする請求項12の画像復号装置。

【請求項14】 前記メモリ制御回路は、前記符号データおよび前記画像データの書き込みおよび読み出し処理と前記リフレッシュ処理とにおけるメモリアccessの調停およびスケジューリングを行うことを特徴とする請求項13の画像復号装置。

【請求項15】 前記メモリ制御回路が行なうメモリアccessの調停およびスケジューリングは、符号データの書き込み処理、符号データの読み出し処理、復号画像の書き込み処理、参照画像の読み出し処理、表示画像の読み出し処理、および、記憶装置のリフレッシュ処理の6つの処理に対して行なうようになっていたことを特徴とする請求項14の画像復号装置。

【請求項16】 前記メモリ制御回路は、前記記憶装置のリフレッシュ処理および前記符号データの書き込み処理等のアクセス周期に余裕のあるメモリアccessを、前記参照画像の読み出し処理および前記復号画像の書き込み処理の間で実行するようにメモリアccessの調停およ

びスケジューリングを行うようになっていることを特徴とする請求項 15 の画像復号装置。

【請求項 17】 前記メモリ制御回路は、前記符号データの読み出し処理の優先順位を一番高く設定して、高い読み出し速度を達成するようにメモリアクセスの調停およびスケジューリングを行うようになっていることを特徴とする請求項 15 の画像復号装置。

【請求項 18】 前記メモリ制御回路は、前記符号データの読み出し処理を、前記参照画像の読み出し処理および前記復号画像の書き込み処理よりも優先して符号データの読み出し速度を向上させるようにメモリアクセスの調停およびスケジューリングを行うようになっていることを特徴とする請求項 15 の画像復号装置。

【請求項 19】 前記メモリ制御回路は、リセット直後、参照画像の読み出し処理の直後、或いは、復号画像の書き込み処理の直後において、符号データの読み出し処理>表示画像の読み出し処理>参照画像の読み出し処理>符号データの書き込み処理>メモリのリフレッシュ処理>復号画像の書き込み処理となるようにメモリアクセスの調停およびスケジューリングを行うようになっていることを特徴とする請求項 15 の画像復号装置。

【請求項 20】 前記メモリ制御回路は、符号データの書き込み処理の直後において、符号データの読み出し処理>表示画像の読み出し処理>メモリのリフレッシュ処理>復号画像の書き込み処理>参照画像の読み出し処理>符号データの書き込み処理となるようにメモリアクセスの調停およびスケジューリングを行うようになっていることを特徴とする請求項 15 の画像復号装置。

【請求項 21】 前記メモリ制御回路は、記憶装置リフレッシュ処理の直後において、符号データの読み出し処理>表示画像の読み出し処理>復号画像の書き込み処理>参照画像の読み出し処理>符号データの書き込み処理>メモリのリフレッシュ処理となるようにメモリアクセスの調停およびスケジューリングを行うようになっていることを特徴とする請求項 15 の画像復号装置。

【請求項 22】 前記第 1 の形式のデータおよび前記第 2 の形式のデータによるメモリアクセス要求の優先順位は、直前に行われたメモリアクセスの内容に応じて変更されるようになっていることを特徴とする請求項 12 の画像復号装置。

【請求項 23】 さらに、前記メモリに格納された画像データを読み出して表示データを出力する表示回路を具備することを特徴とする請求項 12 の画像復号装置。

【請求項 24】 前記データ処理回路と前記メモリ制御回路とがワンチップに集積化されてなることを特徴とする請求項 12 の画像復号装置。

【請求項 25】 第 1 の形式のデータを処理して第 2 の形式のデータを得るデータ処理回路と、第 1 の形式のデータおよび第 2 の形式のデータの両方を記憶するメモリに対して、両データのメモリアクセス要

求の優先順位を可変し、該可変された優先順位に応じてメモリアクセスの調停およびスケジューリングを行うメモリ制御回路とを集積してなる半導体積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はメモリアクセス制御方法および該方法を適用した半導体集積回路および画像復号装置に関し、特に、符号化された画像データを復号してその表示を行う半導体集積回路および画像復号装置に関する。近年、映像、音声および文字等の扱うデータを全てディジタル信号として処理するマルチメディア機器が大きな注目を集めている。特に、映像（画像データ）は、文字や音声に比してデータ量が膨大なものとなるため、カラー動画の圧縮および伸長技術（符号化および復号化技術）はマルチメディアにとって必要不可欠なものとなっている。

【0002】ところで、画像の復号には、高性能で大容量のメモリを必要とし、符号データと画像データの 2 系統のデータを記憶・管理しなければならない。そこで、符号データと画像データを 1 つのメモリに格納し、必要なメモリの量を削減することができる半導体集積回路および画像復号装置の提供が要望されている。

【0003】

【従来の技術】 従来の画像復号装置は、符号データ（画像圧縮された符号データ）および画像データ（符号データを復号した画像データ）に対してそれぞれ別々のメモリを準備したり、高速なメモリデバイスを並列に接続して高いメモリバンド幅（データの転送能力）を確保して時分割で符号データと画像データのメモリを共用するのが提案されている。さらに、従来の画像復号装置として、メモリと画像復号用 L S I（半導体集積回路）との間に容量の大きなバッファメモリを入れることが考えられている。

【0004】これら従来の画像復号装置（画像復号用 L S I）は、メモリデバイスの必要数の増加や動作周波数の高速化を招き、画像復号装置を複雑なものにする要因ともなっている。

【0005】

【発明が解決しようとする課題】 上述したように、従来、画像圧縮されて符号化された画像の符号データは、平均した符号データ量は少なく抑えられていても、画像の内容によっては一時的に大量の符号データを消費するという特徴がある。従って、符号データ用のメモリにおいても、その最大の符号データの消費量に合わせた高いメモリバンド幅が必要になる。特に、復号する画像の解像度を高め、画質を向上させようとした場合には、符号データおよび画像データに対するメモリバンド幅の要求が厳しくなり、回路規模を増大させる大きな要因になっている。

【0006】本発明は、上述した従来の画像復号装置お

および半導体集積回路が有する課題に鑑み、バッファメモリの容量やメモリバス幅といった回路規模の増大および動作周波数の高速化を抑えて、効率の良いメモリシステムを実現することを目的とする。

#### 【0007】

【課題を解決するための手段】本発明の第1の形態によれば、メモリ4に対する複数のアクセスを、該各アクセスの優先順位をその時の状態に応じて変更し、該変更された優先順位に応じてメモリアクセスの調停およびスケジューリングを行って、特定のメモリアクセスへの集中や無効期間の発生等を防止するようにしたことを特徴とするメモリアクセス制御方法が提供される。

【0008】ここで、前記メモリ4はリフレッシュ処理が要求される揮発性半導体記憶装置であり、該揮発性半導体記憶装置は異なる形式のデータにより時分割的に共有される。そして、本発明の第1の形態によれば、該各形式のデータの書き込みおよび読み出し処理と前記リフレッシュ処理とにおけるメモリアクセスの調停およびスケジューリングが行われ、特定のメモリアクセスへの集中や無効期間の発生等が防止されるようになっている。

【0009】図1は本発明に係る画像復号装置の要部構成を概略的に示すブロック図である。図1に示されるように、本発明の第2の形態によれば、画像圧縮された符号データを復号して画像データを得る画像復号装置であって、第1の形式のデータを処理して第2の形式のデータを得るデータ処理回路1と、前記第1の形式のデータおよび前記第2の形式のデータの両方を時分割的に記憶するメモリ4と、前記第1の形式のデータおよび前記第2の形式のデータによるメモリアクセス要求の優先順位をその時の状態に応じて変更し、該変更された優先順位に応じてメモリアクセスの調停およびスケジューリングを行うメモリ制御回路2とを具備し、特定のメモリアクセスへの集中や無効期間の発生等を防止するようにしたことを特徴とする画像復号装置が提供される。

【0010】図2は本発明に係る半導体集積回路の要部構成を概略的に示すブロック図である。図1および図2に示されるように、本発明の第3の形態によれば、第1の形式のデータを処理して第2の形式のデータを得るデータ処理回路1と、前記第1の形式のデータおよび前記第2の形式のデータの両方を時分割的に記憶するメモリ4を制御し、前記第1の形式のデータおよび前記第2の形式のデータによるメモリアクセス要求の優先順位をその時の状態に応じて変更し、該変更された優先順位に応じてメモリアクセスの調停およびスケジューリングを行うメモリ制御回路2とを具備することを特徴とする半導体集積回路。

【0011】具体的に、前記第1の形式のデータは画像圧縮された符号データであり、前記第2の形式のデータは該符号データを復号した画像データであり、そして、前記データ処理回路1は該画像圧縮された符号データを

復号して該画像データを得る復号回路である。

#### 【0012】

【発明の実施の形態】本発明の第1の形態であるメモリアクセス制御方法によれば、メモリ4に対する複数のアクセスは、その時の状態に応じてそれらアクセスの優先順位が変更され、該変更された優先順位に応じてメモリアクセスの調停およびスケジューリングが行われる。すなわち、揮発性半導体記憶装置で構成されたメモリ4のリフレッシュ処理、並びに、該揮発性半導体記憶装置を時分割的に共有する異なる形式のデータの各書き込みおよび読み出し処理は、各状態においてアクセスの優先順位が変更され、メモリアクセスの調停およびスケジューリングが行われる。

【0013】これによって、バッファメモリの容量やメモリバス幅といった回路規模の増大および動作周波数の高速化を抑えて、効率の良いメモリシステムを実現することが可能となる。図1において、画像復号装置は、例えば、MPEG-2 (Moving Picture Experts Group - 2) の規格により圧縮された符号データを復号して画像データを取り出し表示データを出力する画像復号装置を示している。ここで、参照符号1は復号回路（データ処理回路）、2はメモリ制御回路、3は表示回路、そして、4はメモリ（ダイナミック型ランダム・アクセス・メモリ：DRAM）を示している。

【0014】図1に示されるように、メモリ（揮発性半導体集積回路：例えば、DRAM）4は、符号データおよび画像データにより時分割的に共有（共用）されるようになっている。すなわち、参照符号Aに示されるように、まず、供給された符号データ（画像圧縮された符号データ：書き込み符号データA）は、メモリ制御回路2を介してメモリ4に書き込まれる。さらに、メモリ4に書き込まれた符号データ（書き込み符号データ）Aは、参照符号Bに示されるように、メモリ4から読み出され、読み出し符号データBとして、メモリ制御回路2を介して復号回路1に供給される。復号回路1では、読み出し符号データBを復号して画像データ（伸長された画像データC）を出力するが、この時、後述するように、例えば、以前の画像データ（例えば、直前のフィールドまたはフレームの画像データ）を参照して読み出し符号データBの復号が行われる。

【0015】次に、参照符号Cに示されるように、復号回路1により復号された画像データ（書き込み画像データC）は、メモリ制御回路2を介して、符号データが書き込まれていたのと同じメモリ4に書き込まれる。そして、メモリ4に書き込まれた画像データ（書き込み画像データ）Cは、参照符号Eに示されるように、メモリ4から読み出され、読み出し画像データEとして、メモリ制御回路2を介して表示回路3に供給される。なお、前述したように、メモリ4に書き込まれた画像データCの内、以前の読み出し画像データ（或いは、以前の画像デ

ータの一部D)は、参照符号Dに示されるように、予測参照画像データDとしてメモリ4から読み出され、メモリ制御回路2を介して復号回路1に供給される。そして、復号回路1において、読み出し符号データBの復号(伸長)処理に使用される。

【0016】このように、メモリ4は、形式の異なる符号データ(A、B)および画像データ(C、D、E)により時分割的に共有されるようになっている。ここで、メモリ(DRAM)4は、記憶内容を保持するためにリフレッシュ処理が必要とされている。そして、メモリ4

に対する符号データおよび画像データのアクセス、並びに、メモリ4のリフレッシュ処理のためのアクセス(R)は、メモリ制御回路2がそれぞれメモリアクセスの要求(アクセス要求信号)を受け付け、それに対応したアクセス応答(アクセス許可信号)を返すことにより時分割で行うようになっている。

【0017】このように、本発明の第1の形態であるメモリアクセス制御方法によれば、メモリアクセスを以下①~④のように行うことにより、メモリバンド幅を有効に活用して、必要最小限のメモリ容量にて画像の復号を

① メモリアクセスを処理単位毎に区切り、必要なデータ量だけをアクセスする可変長のアクセス制御を行う。

【0018】② メモリアクセスをその優先順位に従って、アクセス権の調停、スケジューリングを行う。

③ 上記②の優先順位を固定するのではなく、状況に応じて変更することにより、特定のメモリアクセスへの集中や排除、無効な期間の発生を防止する。

④ 符号データの読み込みの優先順位を、他のメモリアクセスよりも高くする。

【0019】ここで、本発明の第1の形態によれば、メモリアクセスの処理単位を小さくし、符号データのメモリアクセスの優先順位を高くすることによって、符号データが必要なときには高速に読み出すことが可能となる。また、圧縮された符号データによる時間あたりのメモリの消費量は、平均すれば、伸長された画像データよりも当然に少なくなるため、符号データのためのメモリアクセスの全体に占める時間的な割合は小さくなる。

【0020】さらに、本発明の第1の形態によれば、アクセス権の調停を、固定した優先順位ではなく、緊急な処理を要しないメモリアクセスの優先順位を状況に応じて変更(可変)することで、特定の期間にメモリアクセスが集中して他の期間に無駄が生じたり、優先順位の低い項目のメモリアクセスが長期間待たされて処理が先に進まないといったことが防止される。そして、例えば、大きなデータ量を必要とする高速な動画処理が連続するようなワーストケースに対するメモリアクセスの変動幅を少なく抑えることができる。

【0021】ここで、符号データの消費量は、符号化を行う時点である一定量以下に制限されるため、符号デー

タの画像あたりのメモリアクセスの最大量は予測可能になる。同様に、画像データのメモリアクセスの最大量も、画像サイズおよび画像形式により予測可能である。そして、一画像あたりのメモリアクセスの最大量が決まることにより、その画像がある時間内において、通常は表示周期内において、復号動作が完結するのを保証することができる。従って、メモリバンド幅を大きく増加させることなく、画像データと符号データのメモリを共有することが可能になる。

【0022】前述したように、図2は本発明の半導体集積回路の要部構成を示すものであり、具体的に、MPEG-2方式に準拠した画像復号用の半導体集積回路への適用例を示している。また、図3は本発明の第2の形態である画像復号装置における特徴的な動作を説明するための図である。図2に示されるように、メモリ4としては、汎用DRAM(例えば、4MビットDRAMを4つ、或いは、8つ)を採用して、64ビット幅のデータバス幅にて高速ページモードで動作させることにより、約1Gビット/秒のメモリバンド幅を確保するようになっている。これは、MPEG-2方式のMP/ML(メインプロファイル/メインレベル)の画像を復号するのに、平均値としては充分なメモリバンド幅である。

【0023】ここで問題となるのは、偶然に悪い条件の重なった場合、つまりワーストケースのときに必要となるメモリバンド幅であり、MPEG-2方式の画像を復号するときの基本単位である16×16画素の大きさのMB(マクロブロック)の内部処理のための時間が必要になる。そのため、図3に示す時間T1で示すように、復号画像書き込みと参照画像読み込みのメモリアクセスの最小周期(例えば、24μsec.)が存在するため、図3に示すような何もメモリアクセスが行われない無効期間T2が発生する可能性が出てくる。

【0024】そこで、本発明に係る第2の形態の画像復号装置および第3の形態の半導体集積回路では、緊急を要しないメモリアクセス、例えば、DRAMリフレッシュ処理(R)や符号データの書き込み処理を、参照画像読み出し処理と復号画像書き込み処理の間(図3における期間T2)で実行するように、その時の状態に応じて各メモリアクセス要求の優先順位を変更し、該変更された優先順位に応じてメモリアクセスの調停およびスケジューリングを行うようになっている。具体的に、適応型のスケジューリングは、符号データの書き込み処理(書き込み符号データAの書き込み処理)、符号データの読み出し処理(読み出し符号データBの読み出し処理)、復号画像の書き込み処理(書き込み画像データCの書き込み処理)、参照画像の読み出し処理(図1中の予測参照画像データDの読み出し処理)、表示画像の読み出し処理(図1中の読み出し画像データEの読み出し処理)、および、DRAMのリフレッシュ処理(R)の6つのメモリアクセス(A~EおよびR)の優先順位を、

その時の状態（例えば、直前に行われたメモリアクセスの内容）に従って、その都度変更することによって実現される。

【0025】具体的に、本発明においては、まず、符号データの読み出し処理は、一時的に高い読み出し速度が要求されるため、メモリアクセスの優先順位を一番高くする。また、メモリアクセス待ちの期間を少なくするために、参照画像の読み出し処理を複数に分けて行う。なお、MPEG-2方式では、画像の複数の部分（位置、時間が異なる部分）を参照するため、それぞれの矩形（四角形状）領域毎にメモリアクセスを分けて行うことにより、メモリアクセスを占有する期間が短くなる。

【0026】次に、符号データは、復号する画像の内容によって一時的に高い読み出し速度が必要になるが、一画面（1フィールドまたは1フレーム）内では平均化されて、その画像にて消費される符号量が読み出せれば、画像の復号を完結することができる。従って、符号データの高い読み出し速度が必要になったときには、メモリアクセスの優先順位の設定によって、参照画像の読み出し処理、復号画像の書き込み処理よりも優先され、画像データへのメモリアクセスが一時的に待たされる。

【0027】ここで、一画面の復号のために消費される符号データは、MPEG-2方式に定められているビットレートと受信バッファのサイズにより、その最大消費量が決まる。従って、画像データへのメモリアクセスが一時的に待たされる期間の総和が求められ、一画面の復号動作が表示周期以内に完結することが保証されることになる。

【0028】以上により、符号データ単体に必要とされるメモリバンド幅と、画像データ単体に必要とされるメモリバンド幅を加算したメモリバンド幅のメモリを用意しなくても、符号データと画像データによりメモリ

（4）を共有して使用することが可能になる。このように、本発明によれば、バッファメモリの容量やメモリバス幅といった回路規模の増大および動作周波数の高速化を抑えて、効率の良いメモリシステムを実現することができる。

#### 【0029】

【実施例】以下、図面を参照して本発明に係る画像復号装置および半導体集積回路の実施例を説明する。図4は本発明の画像復号装置の一実施例を示すブロック図である。同図において、参照符号200は画像復号回路、201は復調回路、202はデマルチプレクサ、203は音声復号回路、204はホストプロセッサ、205はグラフィック回路、そして、206はビデオエンコーダを示している。

【0030】復調回路201は、ビットストリームデータを得るための回路であり、画像復号装置に入力される信号、例えば、デジタル衛星放送、ケーブルテレビ、デジタルビデオディスク等の信号から、ビットストリームデータ（ビデオ、オーディオ、および、その他の信号

が多重されているデータ）を復調する。また、デマルチプレクサ202は、オーディオとビデオの符号データが1つのデータ（ビットストリーム）として多重化されるため、オーディオ（音声）信号とビデオ（画像）信号に分離する。ここで、例えば、MPEGにおいては、“MPEG-System”としてその方式が決められている。

【0031】音声復号回路203は、オーディオ（音声）のビットストリームデータを復号して、オーディオデータ（音声データ）にするもので、例えば、MPEGでは、“MPEG-Audio”としてその方式が決められている。この部分は、例えば、DSP（Digital Signal Processor）により構成することができる。画像復号回路200は、ビデオ（映像：画像）のビットストリームデータを復号して、ビデオ信号（映像信号）に変換するもので、例えば、MPEGでは、“MPEG-Video”としてその方式が決められている。この画像復号回路200は、例えば、ビデオデコーダ用のLSI（半導体集積回路100）およびDRAM（不揮発性半導体記憶装置4）により構成される。なお、本発明の半導体集積回路（100）は、画像復号回路200におけるビデオデコーダ用のLSIに対応する。

【0032】ビデオエンコーダ206は、画像復号回路200の出力であるデジタル表現のビデオ信号を一般のテレビジョンセットで表示可能なように、NTSC（National Television System Committee）方式、または、PAL（Phase Alternation by Line）方式のビデオ信号に変換する。さらに、ホストプロセッサ204は、画像復号装置（デコーダ装置）全体の制御を行うためのプロセッサであり、例えば、VOD（Video On Demand）等の高度なサービスを実現するため、例えば、32ビット～64ビットの高性能なCPUが使用される。そして、グラフィック回路205は、例えば、番組情報やメニュー画面等のグラフィック画面を表示するための回路である。

【0033】図5は本発明の半導体集積回路の一実施例としての画像復号回路の構成を示すブロック図である。同図において、参照符号10は符号データ入力制御部、11は可変長復号処理部、12は逆量子化処理部、13は逆DCT変換部、14は予測画像加算回路、15は動きベクトル再生回路を示し、さらに、16は入力バッファ、17は符号バッファ、18は予測画像バッファ、19は復号画像バッファ、そして、20は画像メモリ切り換え制御回路を示している。また、参照符号21はメモリアクセス調停回路、22は外部DRAMコントロール回路、23はFIFOメモリ管理部、24は画像メモリアドレス変換部、また、31は表示制御部、そして、32は表示画像バッファを示している。ここで、画像復号回路200は、画像復号用LSI200およびメモリ（DRAM）4を備えて構成されている。

【0034】図1と図5との比較から明らかなように、復号回路（データ処理回路）1は、符号データ入力制御



部10、可変長復号処理部11、逆量子化処理部12、逆DCT変換部13、予測画像加算回路14、動きベクトル再生回路15、入力バッファ16、符号バッファ17、予測画像バッファ18、復号画像バッファ19、および、画像メモリ切り換え制御回路20を備えている。

【0035】符号データ入力制御部10は、符号データのビットストリームを入力し、必要に応じてヘッダデータの検出を行って、不要なデータの廃棄や画像の先頭（ピクチャヘッダ）の検出を行う。また、可変長復号処理部11は、ビットストリームに含まれている可変長符号（ハフマン符号）の復号（デコード）を行って、固定長の符号に変換すると共に、各種のパラメータ値を取り出すようになっている。さらに、逆量子化処理部12は、固定長に変換された符号データの内、画像に関するデータ（係数データ）を変換して、逆DCT変換用データを取り出す。ここで、逆量子化とは、符号化時に、DCT演算をした結果の実数データを量子化（割り算をして整数値に丸める）したものを、元の値に近い実数値に戻す処理を行うことに対応している。

【0036】動きベクトル再生回路15は、逆量子化処理部12の出力から、動きベクトルを取り出すもので、MPEG-2では、画像圧縮の効率を上げるために、それよりも以前の画像の内容を参照してその差分を使用する。ここで、この参照する画像の位置を示す情報を動きベクトルと称し、この動きベクトルを使用して参照画像の読み込みを行うようになっている。

【0037】逆DCT変換部13は、離散コサイン変換（DCT: Discrete Cosine Transform）の逆変換を行うもので、符号化時にDCT変換を行って、直交変換により $8 \times 8$ のマトリクスの座標軸を、周波数成分に変換してその逆変換により画素のデータに戻す。ここで、DCT変換の演算は、マトリクス乗算を中心に行われ、また、逆変換のことをIDCT（Inverse Discrete Cosine Transform）と略記することもある。

【0038】予測画像加算回路14は、逆DCT変換部13で得られた画素のデータに対して、動きベクトル再生回路から得られた参照画像の内容を必要に応じて画素毎に加算して最終的な復号画像を生成する。画像メモリ切り換え制御回路20は、復号画像、参照画像および表示画像を、半導体集積回路（画像復号用LSI）100の外部に設けられたメモリ（DRAM）4上に割り当てるためのアドレスの管理を行う。ここで、復号の完了した画像は、画像の順番に従って参照画像、表示画像となるため、画像に割り当てたメモリアドレスを順番に切り換えられるようになっている。

【0039】図1および図5に示されるように、メモリ制御回路2は、メモリアクセス調停回路21、外部DRAMコントロール回路22、FIFOメモリ管理部23、および、画像メモリアドレス変換部24を備えている。メモリアクセス調停回路21は、それぞれのメモリ

アクセス要求（例えば、図1に示すA～Eに対応したアクセス要求、および、リフレッシュ処理用のアクセス要求）を受け付けて、その優先順位に従ってアビテーション（調停）を行う。外部DRAMコントロール回路22は、画像復号用LSI 100の外部に設けられたメモリ4を制御するもので、DRAM4の信号線を操作してメモリアクセスを実行すると共に、高速ページモードによる連続アクセスを実現するようになっている。

【0040】FIFOメモリ管理部23は、符号データ（ビットストリーム）用のメモリとして、画像復号用LSI 100の外部に設けられたDRAM4上にFIFO（First In First Out）バッファを構成するためのアドレス管理（書き込みポインタおよび読み出しポインタの更新）を行う。画像メモリアドレス変換部24は、復号画像、参照画像および表示画像のアドレス変換を行い、画像の位置を示すX座標およびY座標の二次元のアドレス情報から、メモリ上の位置を示すリニアなアドレスに変換し、さらに、画像メモリ切り換え制御回路20により指定されたアドレス情報をオフセット値として加算して画像メモリのアドレスを求める。

【0041】図1および図5に示されるように、表示回路3は、表示制御部31および表示画像バッファ32を備えている。表示制御部31は、既に復号の完了している画像を表示画像として表示を行う回路であり、例えば、NTSC方式またはPAL方式のタイミングに合わせて表示画像を出力する。

【0042】ここで、図5に示す画像復号用LSI 100において、各バッファ（入力バッファ16、符号バッファ17、予測画像バッファ18、復号画像バッファ19、および、表示画像バッファ32）は、一組の外部DRAM4を時分割で使用するために、或いは、外部DRAM4との速度の差を吸収するために、それぞれのメモリアクセスに対応するように設けられた小容量のバッファメモリである。

【0043】図6は本発明の半導体集積回路の他の実施例としての画像復号回路100'を示す機能ブロック図である。図6において、参照符号101は全体制御部、102は内部クロック生成部、103はホストインターフェース部、104はパラメータレジスタ部、105は入力データ制御部、106は可変長復号化部、107は逆量子化部、108は逆離散コサイン変換部、109はフィルタ部、110は加算部、111はビデオインターフェース部、そして、112はメモリ制御部を示している。ここで、図6に示す画像復号用LSI 100'を図5に示す画像復号用LSI 100に対応させると、図6の入力データ制御部105は図5の符号データ入力制御部10および入力バッファ16に対応し、可変長復号化部106は可変長復号処理部11および符号バッファ17に対応し、また、フィルタ部109は動きベクトル再生回路15、予測画像バッファ18および復号画像バッファ19に対応している。さらに、図6のビデオインターフェー

ス部111は図5の表示制御部31および表示画像バッファ32を備えた表示回路3に対応し、また、メモリ制御部112は、画像メモリ切り替え制御回路20、メモリアクセス調停回路21、外部DRAMコントロール回路22、FIFOメモリ管理部23および画像メモリアドレス変換部24に対応している。なお、図6における逆量子化部107、逆離散コサイン変換部108および加算部110は、それぞれ図5における逆量子化部12、逆DCT変換部13および予測画像加算回路14に対応している。

【0044】全体制御部101は、各ブロックの動作制御、エラー復帰、および、ホストCPUへの割り込みを処理する。すなわち、全体制御部101は、①表示垂直同期信号に同期してバッファメモリ内のピクチャー枚数管理、表示/復号画像のピクチャーストラクチャ管理、マクロブロックアドレス/数を管理して各部の起動を処理し、②エラー時はホスト設定に従って復帰し、そして、③パラメータレジスタ部104を経由してピクチャーヘッダ検出/復号終了、表示V-Sync、B-Picture Skip、バッファメモリオーバー/アンダーフロー、復号/システムエラーの割り込みをホストCPUに通知する。

【0045】内部クロック発生部102は、PLLマクロを内蔵しており、LSI外部からの27MHzの基本クロック信号を入力として2種類のクロック信号(27/54MHz)を発生して各ブロックへ分配する。ホストインターフェース部103は、種類の異なるCPUと画像復号回路100'とのインターフェース機能を有し、必要に応じて各ブロックへのアクセスを行なう。

【0046】パラメータレジスタ部104は、ホストCPUからの初期設定パラメータ、コマンド用レジスタ、MPEGビットストリームより検出される各種のパラメータ用のレジスタで構成され、各レジスタの値は、内部の各ブロックに分配されるが、ホストCPUから読み出すこともできるようになっている。図7は本発明に係る画像復号回路の一実施例(図5の画像復号用LSI)における動作を説明するための図であり、具体的に、MPEG-2に準拠した画像復号用LSIにおける動作例を示すものである。なお、MPEG-2では、参照画像データを異なった画像の異なった位置から読み込む場合があり、最大4つの矩形に分けて読み込みを行う。また、輝度と色差情報に分けて参照画像の読み込みを4×2=8回に分けて行うこともできる。

【0047】図7において、参照符号A~Eは、図1を参照して説明した各処理を示し、また、参照符号RはDRAM4のリフレッシュ処理を示している。すなわち、参照符号A~Eは、次の表1に示される処理に対応している。

【0048】

【表1】

【表 1】

A	符号データの書き込み処理 (書き込み符号データAの書き込み処理)
B	符号データの読み出し処理 (読み出し符号データBの書き込み処理)
C	復号画像の書き込み処理 (書き込み画像データCの書き込み処理)
D	参照画像の読み出し処理 (図1中の予測参照画像データDの読み出し処理)
E	表示画像の読み出し処理 (図1中の読み出し画像データEの読み出し処理)

【0049】図7に示されるように、符号データの読み出し処理Bおよび表示画像の読み出し処理Rは、高い優先順位に固定されているので、そのアクセス要求が発生した時点で該アクセス要求が受け付けられる。図7(a)は実際のメモリアクセスの一例を示し、図7(b)に示す1マクロブロックの処理において、復号画像の書き込み処理Cおよび参照画像の読み出し処理Dの間INS1において符号データの読み出し処理Bが挿入され、また、2つの参照画像の読み出し処理Dの間INS2において符号データの読み出し処理Bおよび表示画像の読み出し処理Eが挿入された場合を示している。

【0050】図7(c)に示されるように、1マクロブロックの処理には内部処理の時間が必要であり、また、参照画像データのフィルタリングを行う処理時間も必要となる。従って、これら2つの処理時間の長い方が終了するまでの期間、すなわち、図7(c)における“/////”の期間が必要になり、この期間中に何もメモリアクセス要求が発生しない場合には、“/////”の期間は無効サイクルとなる。

【0051】本発明では、上記の無効サイクルの発生を抑えるために、アクセス周期に余裕のある符号データの書き込み処理Aおよびリフレッシュ処理Rを、参照画像の読み出し処理Dと復号画像の書き込み処理Cとの間の期間に行うように優先順位を決める(適宜変更する)ようになっている。このとき、例えば、符号データの書き込み処理Aおよびリフレッシュ処理Rの優先順位を、参照画像の読み出し処理Dおよび復号画像の書き込み処理Cよりも高く固定すると、複数の参照画像の読み出し処理Dの間に入ってしまいフィルタリング処理時間が後ろに延びることになってしまう。一方、符号データの書き込み処理Aおよびリフレッシュ処理Rの優先順位を、参照画像の読み出し処理Dおよび復号画像の書き込み処理Cよりも低く固定すると、表示画像の読み出し処理E或いは符号データの読み出し処理Bのより高い優先順位のメモリアクセスが入ったときに、次の参照画像の読み出

し処理Dおよび符号データの読み出し処理Bのメモリアクセスが発生して、符号データの書き込み処理Aおよびリフレッシュ処理Rのメモリアクセスが長時間保留されてしまう。

【0052】そこで、本発明では、前述したように、メモリ(4)に対する複数のアクセスの優先順位を、その時の状態に応じて変更するようになっている。図8は図5の画像復号用LSIにおけるメモリアクセス調停回路の一例を示すブロック図である。同図に示されるように、メモリアクセス調停回路21は、アクセス要求信号

(A~E, R)が入力されるプライオリティエンコーダ211、アクセス許可信号(A~E, R)を出力するアクセス許可レジスタ212、フィードバックレジスタ213、および、メモリアクセスの終了を検出するメモリアクセス終了検出部214を備えている。

【0053】図8に示されるように、アクセス要求信号(A~E, R)はプライオリティエンコーダ211でエンコードされ、次のメモリアクセスの候補が求められる。このプライオリティエンコーダ211におけるエンコード処理は常時行われており、その時点で最も優先順位(プライオリティ)の高いものが次のメモリアクセスの候補となる。

【0054】また、アクセス要求信号からメモリアクセスの状況が判定され、メモリアクセスが終了した時点(または、メモリアクセスが行われていないとき)の候補がアクセス許可レジスタ212に保持される。この時、メモリアクセスが終了した時点の候補が、参照画像の読み出し処理D、符号データの書き込み処理A、または、リフレッシュ処理Rの内のいずれかだった場合には、該メモリアクセスが終了した時点の候補はフィードバック

レジスタ213にも保持される。

【0055】さらに、フィードバックレジスタ213の内容は、プライオリティ変更信号としてプライオリティエンコーダ211へフィードバックされ、アクセス要求信号(A~E, R)の優先順位の変更が行われる。そして、その時の状態に応じて優先順位が変更されたアクセス許可信号(A~E, R)が次の候補となり、アクセス許可レジスタ212から出力されることになる。

【0056】図9は本発明のメモリアクセス調停回路の動作を示すタイミングチャートであり、図10は本発明のメモリアクセス調停回路におけるアクセス要求信号、アクセス許可信号およびアクセス信号の関係を示すタイミングチャートである。図9に示されるように、符号データの書き込み処理A、符号データの読み出し処理B、復号画像の書き込み処理C、参照画像の読み出し処理D、表示画像の読み出し処理E、および、リフレッシュ処理Rに対するアクセス要求に対して、前述した優先順位の変更に応じたアクセス許可信号(A~E, R)が出力され、アクセス信号に従ったメモリアクセスが行なわれる。

【0057】具体的に、図10を参照して、符号データの読み出し処理Bおよび参照画像の読み出し処理Dを例としてメモリアクセス調停回路におけるアクセス要求信号、アクセス許可信号およびアクセス信号の関係を説明する。図10に示されるように、まず、符号データの読み出し処理Bのアクセス要求信号が出力(高レベル" H ")され、次いで、参照画像の読み出し処理Dのアクセス要求信号が出力された場合、P1で示されるように、符号データの読み出し処理Bはアクセス許可信号が出力されるまでアクセス要求信号の出力が保持される。ここで、参照画像の読み出し処理Dに関しても、アクセス許可信号が出力されるまでアクセス要求信号の出力が保持される。

【0058】次に、P2で示されるように、メモリアクセス調停回路(21)により、その時点で一番優先順位の高いアクセス要求信号に対してアクセス許可信号が出力(高レベル" H ")される。図10の例では、符号データの読み出し処理Bのアクセス要求信号に対して、アクセス許可信号が出力される。そして、P3で示されるように、符号データの読み出し処理Bのアクセス要求信号は、自身(B)に対するアクセス許可信号を確認した後、取り下げられる(低レベル" L ")。さらに、P4で示されるように、P2で出力された符号データの読み出し処理Bのアクセス許可信号を受けた回路がアクセス信号を出力(高レベル" H ")してメモリアクセス(符号データの読み出し処理B)が開始される。

【0059】また、P5で示されるように、必要なメモリアクセス(符号データの読み出し処理B)が終了した時点で、アクセス信号が取り下げられる(低レベル" L ")。さらに、アクセス信号が取り下げられたこと(メモリアクセスの終了)を検出して、P6で示されるように、アクセス許可レジスタをリセットすることによってアクセス許可信号が取り下げられる(低レベル" L ")。この時点で、一旦、全てのアクセス許可信号がリセットされる。

【0060】そして、P7で示されるように、メモリアクセス調停回路は、どのアクセス許可信号も出力されていない状態を検出して、アクセス許可レジスタにプライオリティエンコーダのエンコード結果を設定する。これにより、P7で示されるように、その時点で一番優先順位の高いアクセス要求信号に対してアクセス許可信号が出力される。図10の例では、参照画像の読み出し処理Dのアクセス要求信号に対して、アクセス許可信号が出力される。さらに、P8で示されるように、P7で出力された参照画像の読み出し処理Dのアクセス許可信号を受けた回路がアクセス信号を出力してメモリアクセス(参照画像の読み出し処理D)が開始される。

【0061】図11は本発明のメモリアクセス調停回路(21)におけるプライオリティエンコーダの論理構成を示す図であり、図11(a)は固定プライオリティエン

コード回路PEを示し、また、図11(b)は固定プライオリティエンコード回路PEを構成する一例の論理式を示している。なお、図11(b)の論理式において、符号「 $\neg$ 」は論理反転(NOT)を示し、また、符号「&」は論理積(AND)を示している。

【0062】図11(a)の固定プライオリティエンコード回路PEは、入力信号(アクセス要求信号)A、B、C、D、E、Rに対して、所定の優先順位に従った出力信号a、b、c、d、e、rを出力するようになっている。図11(b)は、優先順位「 $B > E > D > A > R > C$ 」を実現するための論理式を示しており、図11(a)の固定プライオリティエンコード回路PEを図11(b)の論理式に対応した回路により構成することで、所定の優先順位( $B > E > D > A > R > C$ )を設定することが可能となる。

【0063】図12は本発明のメモリアクセス調停回路(21)におけるプライオリティエンコード部(プライオリティエンコード211)の一例を示す図である。図12に示されるように、プライオリティエンコード部は、複数の固定プライオリティエンコードPE-1~PE-n(図11の固定プライオリティエンコードPEに対応)およびセクタ回路SELで構成され、各固定プライオリティエンコードPE-1~PE-nに設定された優先順位の内、その時点に応じた最適なものを選択回路SELで選択して出力するようになっている。具体的に、固定プライオリティエンコードPE-1は優先順位「 $B > E > D > A > R > C$ 」を設定し、固定プライオリティエンコードPE-nは優先順位「 $B > E > C > D > A > R$ 」を設定するようになっている。なお、固定プライオリティエンコードPE-1は図11に示す固定プライオリティエンコードPEと同様の回路となっているが、固定プライオリティエンコードPE-nも優先順位「 $B > E > C > D > A > R$ 」を実現する論理式に対応した回路となっている。

【0064】図13は図8のメモリアクセス調停回路により各処理状態において変更される優先順位の具体例を説明するための図である。同図において、参照符号F1~F5は、それぞれ直前に行われたアクセス処理を示し、各状態におけるメモリアクセス要求の優先順位を示している。すなわち、図13は、図8に示すメモリアクセス調停回路21により、その時の状態に応じて各メモリアクセス要求の優先順位が変化する様子を示している。

【0065】すなわち、リセット直後F1において、各メモリアクセス要求は、符号データの読み出し処理B>表示画像の読み出し処理E>参照画像の読み出し処理D>符号データの書き込み処理A>メモリのリフレッシュ処理R>復号画像の書き込み処理Cとなっており、また、参照画像の読み出し処理Dの直後F2では、 $B > E > D > A > R > C$ とその優先順位が変更されるようにな

っている。ここで、参照画像の読み出し処理Dの直後F2において、参照画像の読み出し処理Dの優先順位(メモリアクセス要求の優先順位)が高く設定されるのは、複数の参照画像の読み出し処理Dをできるだけ間隔を空けることなく続けてアクセスするためである。

【0066】また、符号データの書き込み処理Aの直後F3では、 $B > E > R > C > D > A$ とその優先順位が変更され、さらに、メモリのリフレッシュ処理Rの直後F4では、 $B > E > C > D > A > R$ とその優先順位が変更され、そして、復号画像の書き込み処理Cの直後F5では、 $B > E > D > A > R > C$ とその優先順位が変更されるようになっている。

【0067】このように、本発明の実施例としてのメモリアクセス調停回路を有する半導体集積回路(画像復号用LSI)および該画像復号用LSIを含む画像復号装置によれば、複数のメモリアクセス要求の優先順位をその時の状態に応じて適宜変更し、該変更された優先順位に応じてメモリアクセスの調停およびスケジューリングを行うことによって、バッファメモリの容量やメモリバス幅といった回路規模の増大および動作周波数の高速化を抑えて、効率の良いメモリシステムを実現することができる。特に、本発明は、MPEG等の画像復号装置の性能向上に寄与するところが大きいものである。

【0068】

【発明の効果】以上、詳述したように、本発明によれば、画像の復号動作に必要なデータをすべて一つのメモリに収めることができ、メモリを分割することによる容量の無駄をなくして、必要となる最小限のメモリ容量にて画像復号装置を構成できる。

【図面の簡単な説明】

【図1】本発明に係る画像復号装置の要部構成を概略的に示すブロック図である。

【図2】本発明に係る半導体集積回路の要部構成を概略的に示すブロック図である。

【図3】本発明の画像復号装置における特徴的な動作を説明するための図である。

【図4】本発明の画像復号装置の一実施例を示すブロック図である。

【図5】本発明の半導体集積回路の一実施例としての画像復号回路の構成を示すブロック図である。

【図6】本発明の半導体集積回路の他の実施例としての画像復号回路を示す機能ブロック図である。

【図7】本発明に係る画像復号回路(画像復号用LSI)の一実施例における動作を説明するための図である。

【図8】本発明の画像復号回路の一実施例におけるメモリアクセス調停回路の一例を示すブロック図である。

【図9】本発明のメモリアクセス調停回路の動作を示すタイミングチャートである。

【図10】本発明のメモリアクセス調停回路におけるア

クセス要求信号、アクセス許可信号およびアクセス信号の関係を示すタイミングチャートである。

【図 1 1】本発明のメモリアクセス調停回路におけるプライオリティエンコーダの論理構成を示す図である。

【図 1 2】本発明のメモリアクセス調停回路におけるプライオリティエンコーダ部の一例を示す図である。

【図 1 3】本発明のメモリアクセス調停回路により各処理状態において変更される優先順位の具体例を説明するための図である。

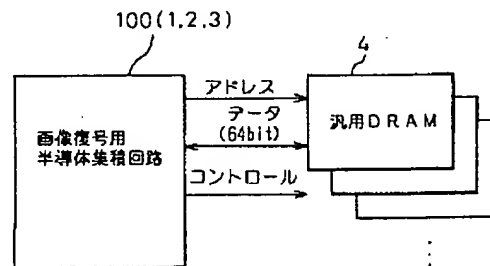
【符号の説明】

1…データ処理回路（復号回路）  
 2…メモリ制御回路  
 3…表示回路  
 4…メモリ（DRAM）  
 10…符号データ入力制御部  
 11…可変長復号処理部  
 12…逆量子化処理部  
 13…逆DCT変換部  
 14…予測画像加算回路  
 15…動きベクトル再生回路  
 16…入力バッファ  
 17…符号バッファ  
 18…予測画像バッファ  
 19…復号画像バッファ  
 20…画像メモリ切り換え制御回路  
 21…メモリアクセス調停回路  
 22…外部DRAMコントロール回路  
 23…FIFOメモリ管理部  
 24…画像メモリアドレス変換部  
 31…表示制御部  
 32…表示画像バッファ  
 100, 100'…半導体集積回路（画像復号用LSI）

101…全体制御部  
 102…内部クロック生成部  
 103…ホストインターフェース部  
 104…パラメータレジスタ部  
 105…入力データ制御部  
 106…可変長復号化部  
 107…逆量子化部  
 108…逆離散コサイン変換部  
 109…フィルタ部  
 110…加算部  
 111…ビデオインターフェース部  
 112…メモリ制御部  
 200…画像復号回路  
 201…復調回路  
 202…デマルチプレクサ  
 203…音声復号回路  
 204…ホストプロセッサ  
 205…グラフィック回路  
 206…ビデオエンコーダ  
 211…プライオリティエンコーダ  
 212…アクセス許可レジスタ  
 213…フィードバックレジスタ  
 214…メモリアクセス終了検出部  
 A…書き込み符号データ（符号データの書き込み処理）  
 B…読み出し符号データ（符号データの読み出し処理）  
 C…書き込み画像データ（復号画像の書き込み処理）  
 D…予測参照画像データ（参照画像の読み出し処理）  
 E…読み出し画像データ（表示画像の読み出し処理）  
 PE, PE-1～PE-n…固定プライオリティ・エン  
 コーダ回路  
 R…DRAMのリフレッシュ処理  
 SEL…セクタ回路

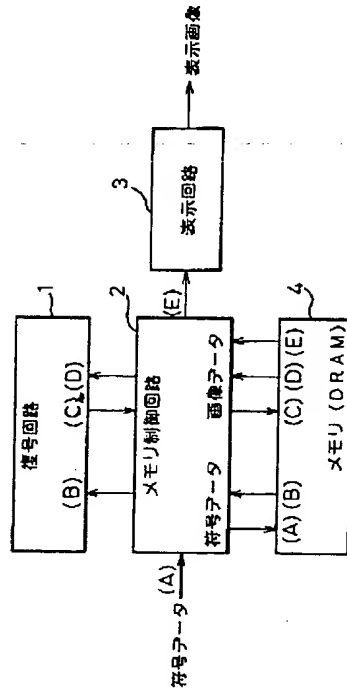
【図 2】

本発明に係る半導体集積回路の要部構成を概略的に示すブロック図



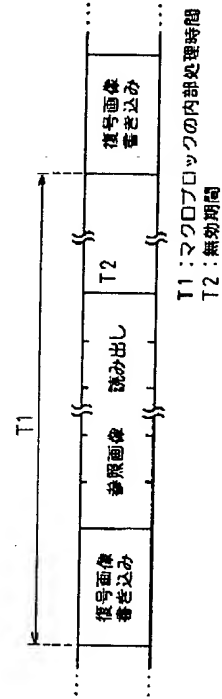
【図 1】

本発明に係る画像復号装置の要部構成を概略的に示すブロック図



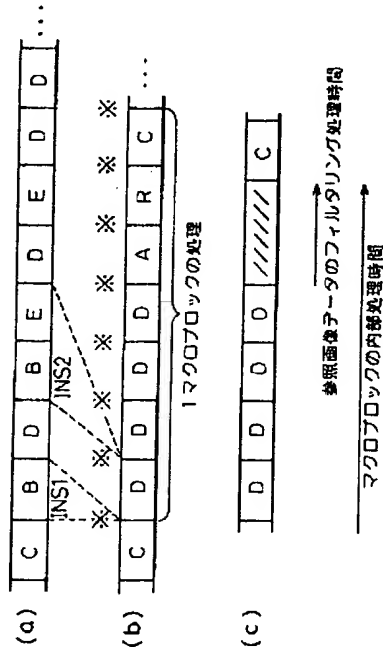
【図 3】

本発明の画像復号装置における特徴的な動作を説明するための図



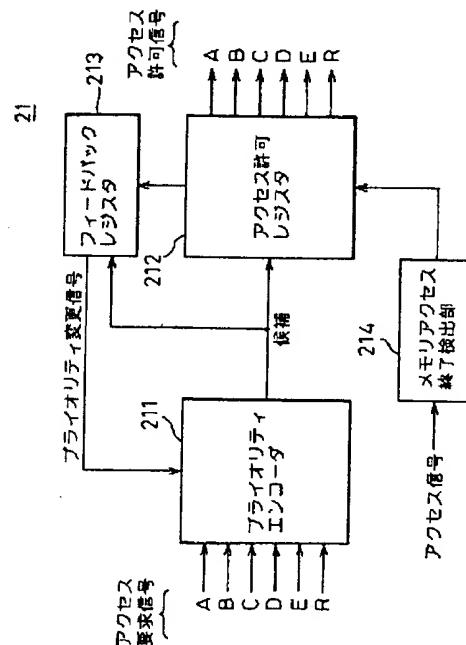
【図 7】

本発明に係る画像復号回路（画像復号用 LSI）の一実施例における動作を説明するための図



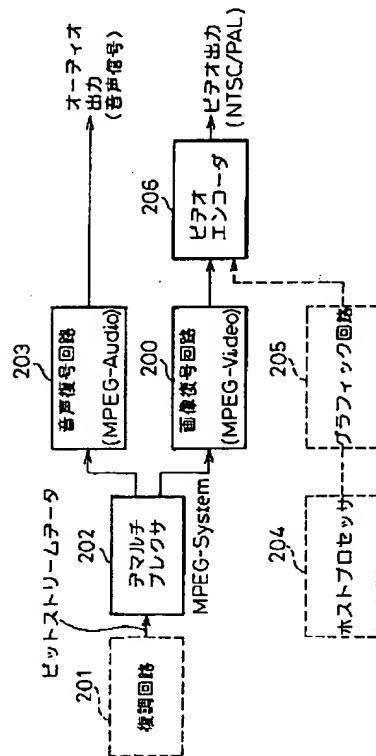
【図 8】

本発明の画像復号回路の一実施例におけるメモリアクセス制御回路の一例を示すブロック図



【図4】

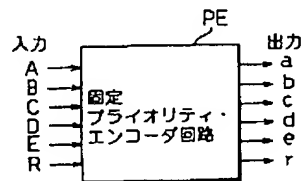
本発明の画像復号装置の一実施例を示すブロック図



【図11】

本発明のメモリアクセス制御回路におけるプライオリティエンコーダの論理構成を示す図

(a)



(b)

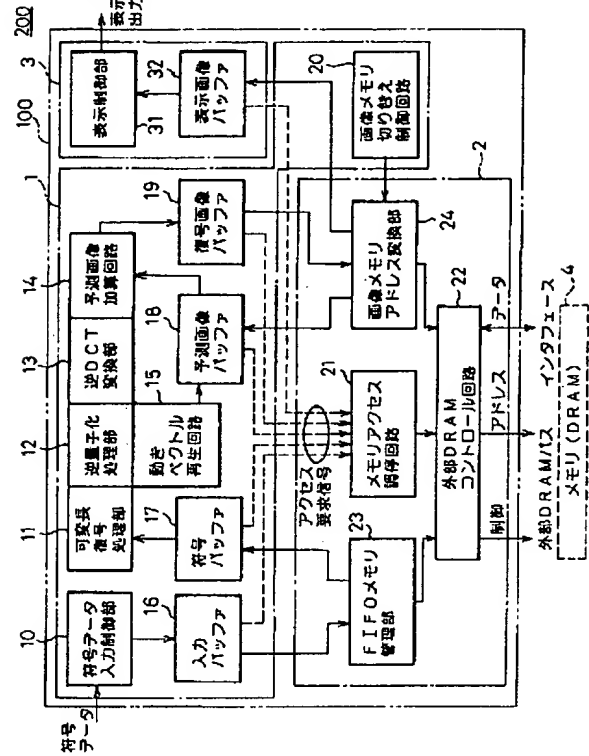
優先順位  $B > E > D > A > R > C$ 

$$\begin{aligned} \text{論理式} & \begin{cases} b = B \\ c = B \\ a = B \\ r = B \end{cases} \\ & \begin{cases} b = B \\ c = B \\ a = B \\ r = B \end{cases} \end{aligned}$$

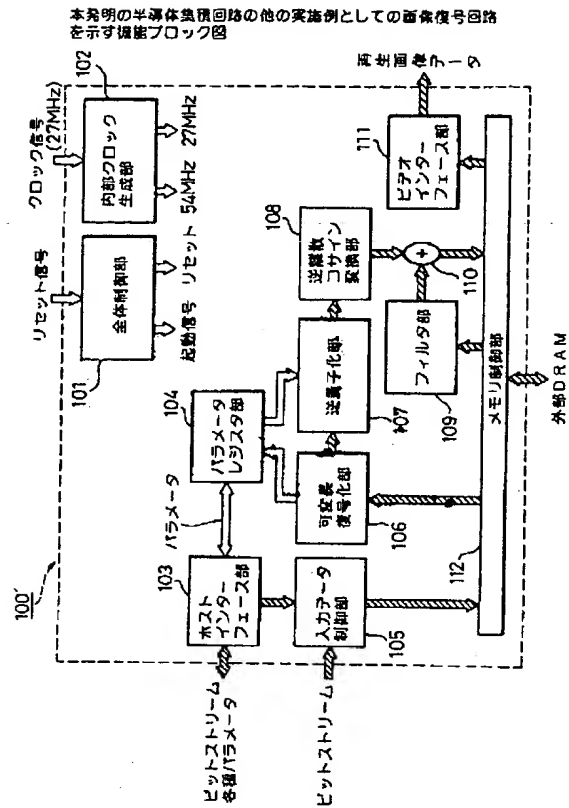
· : 論理反転 (NOT)  
 & : 論理積 (AND)

【図5】

本発明の半導体集積回路の一実施例としての画像復号回路の構成を示すブロック図

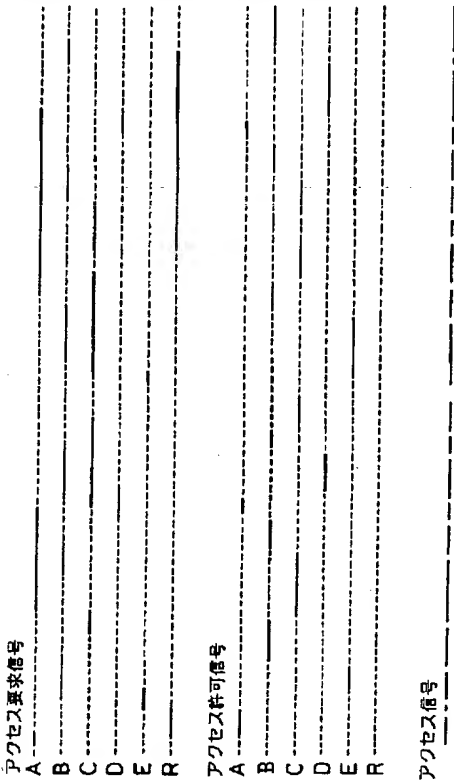


【図6】



【図9】

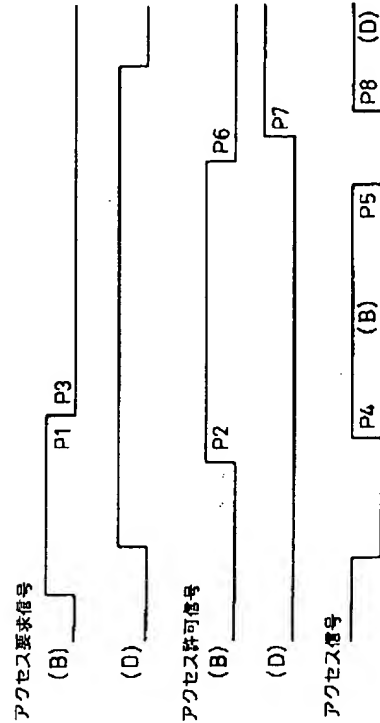
本発明のメモリアクセス制御回路の動作を示すタイミングチャート





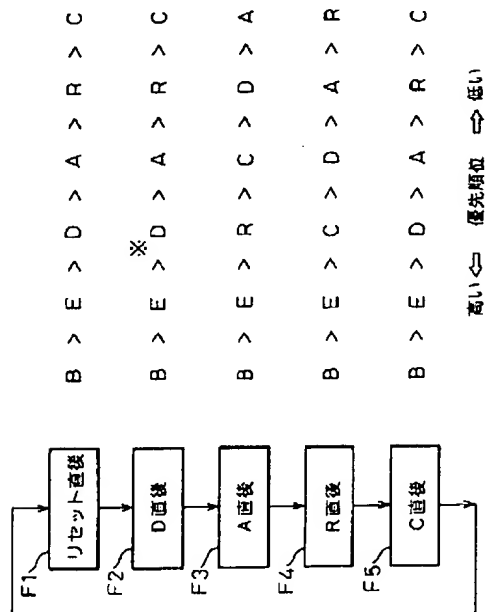
【図 10】

本発明のメモリアクセス調停回路におけるアクセス要求信号、アクセス許可信号およびアクセス信号の関係を示すタイミングチャート



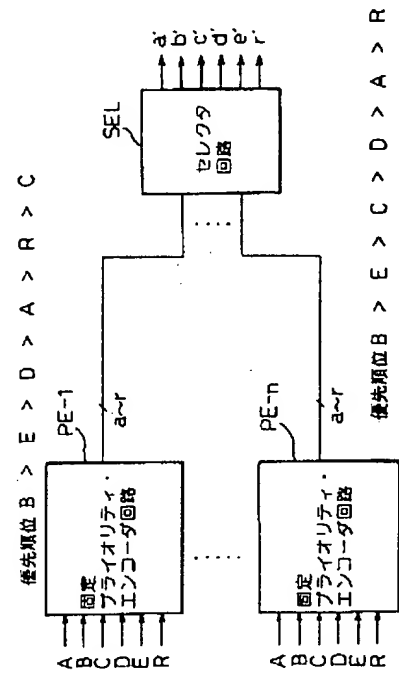
【図 13】

図 7 のメモリアクセス調停回路により各処理状態において変更される優先順位の具体例を説明するための図



【図 12】

本発明のメモリアクセス調停回路におけるプライオリティエンコーダ部の一例を示す図



フロントページの続き

(72)発明者 数井 君彦  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 宮坂 秀樹  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 上野 靖典  
神奈川県横浜市港北区新横浜2丁目3番9  
号 富士通デジタル・テクノロジー株式会  
社内

(72)発明者 丸山 浩二  
福岡県福岡市博多区博多駅前三丁目22番8  
号 富士通九州デジタル・テクノロジー株  
式会社内